



PTO/SB/21 (08-00)  
Approved for use through 10/31/2002. OMB 0651-0031  
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  <i>(to be used for all correspondence after initial filing)</i>	<b>Application Number</b>	10/604,646	
	<b>Filing Date</b>	08/06/2003	
	<b>First Named Inventor</b>	Chien-Sheng Yang	
	<b>Group Art Unit</b>		
	<b>Examiner Name</b>		
<b>Total Number of Pages in This Submission</b>	3	<b>Attorney Docket Number</b>	ADTP0120USA

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
<b>Remarks</b>		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	8/29/2003

CERTIFICATE OF MAILING			
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: <span style="border: 1px solid black; display: inline-block; width: 100px; height: 15px;"></span>			
Typed or printed name			
Signature		Date	

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Approved for use through 04/30/2003. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number 10/604,646  
Filing Date 8/6/2003  
First Named Inventor Chien-Sheng Yang  
Examiner Name  
Art Unit  
Attorney Docket No. ADTP0120USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number 50-0801  
Deposit Account Name North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments  
☒ Charge any additional fee(s) during the pendency of this application  
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 750	2001 375	Utility filing fee	
1002 330	2002 165	Design filing fee	
1003 520	2003 260	Plant filing fee	
1004 750	2004 375	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims  - 20\*\* =  X  =   
Independent Claims  - 3\*\* =  X  =   
Multiple Dependent  =

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 84	2201 42	Independent claims in excess of 3
1203 280	2203 140	Multiple dependent claim, if not paid
1204 84	2204 42	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 410	2252 205	Extension for reply within second month	
1253 930	2253 465	Extension for reply within third month	
1254 1,450	2254 725	Extension for reply within fourth month	
1255 1,970	2255 985	Extension for reply within fifth month	
1401 320	2401 160	Notice of Appeal	
1402 320	2402 160	Filing a brief in support of an appeal	
1403 280	2403 140	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,300	2453 650	Petition to revive - unintentional	
1501 1,300	2501 650	Utility issue fee (or reissue)	
1502 470	2502 235	Design issue fee	
1503 630	2503 315	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 750	2809 375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 750	2810 375	For each additional invention to be examined (37 CFR 1.129(b))	
1801 750	2801 375	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

Name (Print/Type) Winston Hsu Registration No. 41,526 Telephone 886289237350  
Signature *Winston Hsu* Date 8/29/2003

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



PTO/SB/02B (11-00)  
Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

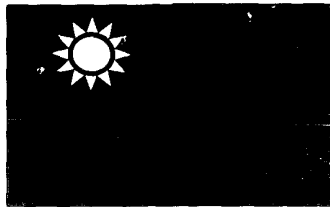
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

## DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092117490	Taiwan R.O.C	06/26/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 26 日  
Application Date

申請案號：092117490  
Application No.

申請人：友達光電股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 7 月 21 日  
Issue Date

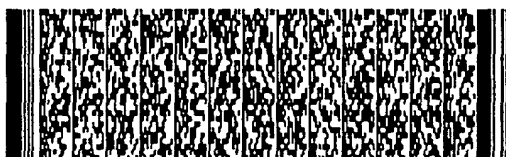
發文字號：09220729700  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	具複數個共通電壓驅動電路之多晶矽薄膜電晶體液晶顯示器
	英文	POLYSILICON THIN FILM TRANSISTOR LIQUID CRYSTAL DISPLAY HAVING A PLURALITY OF COMMON VOLTAGE DRIVERS
二、 發明人 (共1人)	姓名 (中文)	1. 楊健生
	姓名 (英文)	1. Yang, Chien-Sheng
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北市民生東路四段九十七巷四弄二十五號
	住居所 (英文)	1. No. 25, Alley 4, Lane 97, Sec. 4, Min-Sheng E. Rd., Taipei City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 友達光電股份有限公司
	名稱或姓名 (英文)	1. AU Optonics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市新竹科學工業園區力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 1, Li-Hsin Road 2, Science-Based Industrial Park, Hsin- Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Lee, Kuen-Yao



四、中文發明摘要 (發明名稱：具複數個共通電壓驅動電路之多晶矽薄膜電晶體液晶顯示器)

一種多晶矽薄膜電晶體液晶顯示器其包含有一面板、一共通電壓層、複數個顯示單元、複數條掃瞄線、複數條資料線，以及複數個共通電壓驅動電路。掃瞄線與資料線係連接於顯示單元。每一共通電壓驅動電路皆形成於面板內，用來產生一共通電壓，並將該共通電壓施加于該共通電壓層。

五、(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明

50 多晶矽薄膜電晶體液晶顯示器

52 面板

54 像素區

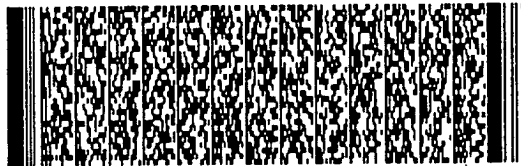
56A 第一資料線驅動電路

56B 第二資料線驅動電路

58 掃瞄線驅動電路

六、英文發明摘要 (發明名稱：POLYSILICON THIN FILM TRANSISTOR LIQUID CRYSTAL DISPLAY HAVING A PLURALITY OF COMMON VOLTAGE DRIVERS)

A polysilicon thin film transistor liquid crystal display (polysilicon TFT LCD) has a panel, a common voltage layer, a plurality of display cells, a plurality of scan lines, a plurality data lines, and a plurality common voltage drivers. The scan lines and the data lines are coupled to the display cells. Each of the common voltage drivers is formed in the panel



四、中文發明摘要 (發明名稱：具複數個共通電壓驅動電路之多晶矽薄膜電晶體液晶顯示器)

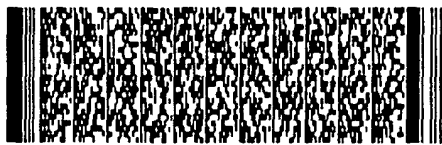
60A~60D 共通電壓驅動電路

62 時序控制電路 64 介面電路

66 連接元件

六、英文發明摘要 (發明名稱：POLYSILICON THIN FILM TRANSISTOR LIQUID CRYSTAL DISPLAY HAVING A PLURALITY OF COMMON VOLTAGE DRIVERS)

and is used to generate a common voltage and to apply the common voltage to the common voltage layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。





## 五、發明說明 (1)

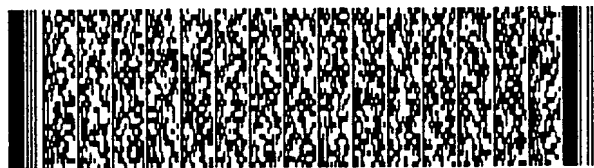
### 發明所屬之技術領域

本發明係概括關於一種多晶矽薄膜電晶體液晶顯示器，尤指一種具複數個共通電壓驅動電路之多晶矽薄膜電晶體液晶顯示器。

### 先前技術

液晶顯示器具有外型輕薄、耗電量少以及無輻射污染等特性，已被廣泛地應用在筆記型電腦 (notebook)、個人數位助理 (PDA) 等攜帶式資訊產品上，甚至已有逐漸取代傳統桌上型電腦的映像管 (cathode ray tube, CRT) 監視器的趨勢。由於液晶分子在不同排列狀態下，對光線具有不同的偏振或折射效果，因此可經由不同排列狀態的液晶分子來控制光線的穿透量，進一步產生不同強度的輸出光線，而液晶顯示器即是利用液晶分子此種特性來產生不同灰階強度的紅、藍、綠光，進一步使液晶顯示器產生豐富的影像。

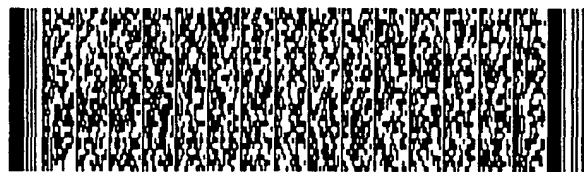
在以往，因製程技術上的限制，多數的液晶顯示器係以非晶矽薄膜電晶體 (amorphous silicon Thin Film transistor, a-TFT LCD) 的製程來加以製作，而其用來控制操作的驅動電路係以外部積體電路製成，並壓合於其液晶面板之上。然而，隨著製程技術的改善，目前已



## 五、發明說明 (2)

有許多液晶顯示器係以多晶矽薄膜電晶體 (polysilicon Thin Film Transistor, polysilicon TFT) 的製程來加以製造，且因多晶矽薄膜電晶體液晶顯示器比非晶矽薄膜電晶體液晶顯示器有較好的顯示特性 (如高解析度)，故多晶矽薄膜電晶體液晶顯示器已經成為目前液晶顯示器市場上高階機種的主流產品。除此之外，以目前的多晶矽薄膜電晶體液晶顯示器的技術水準而論，已可將其相關的驅動電路以及介面電路，全部以多晶矽薄膜電晶體液晶的形式整合於面板上，並藉此亦大幅地降低多晶矽薄膜電晶體液晶顯示器的生產成本。

一般，像上述這種全整合式多晶矽薄膜電晶體液晶顯示器通常包含有單一個共通電壓驅動電路 (common voltage driver)，此共通電壓驅動電路通常是以操作放大器 (operational amplifier) 為核心的電壓追蹤器 (voltage follower)。習知的全整合式多晶矽薄膜電晶體液晶顯示器僅以單一個電壓追蹤器，做為共通電壓驅動電路，然而由於共通電極導線之電阻電容負載容易造成共通電壓在顯示面板分佈不均勻，進而導致其畫質劣化。請參考一，圖一為習知多晶矽薄膜電晶體液晶顯示器 10 之示意圖。多晶矽薄膜電晶體液晶顯示器 10 包含有一面板 12，而多晶矽薄膜電晶體液晶顯示器 10 相關的驅動電路及介面電路係形成於面板 12 上。多晶矽薄膜電晶體液晶顯示器 10 另包含有一像素區 14、一第一資料線驅



### 五、發明說明 (3)

動電路 16A、一第二資料線驅動電路 16B、一掃描線驅動電路 18、一共通電壓驅動電路 20、一時序控制電路 22以及一介面電路 24，其中像素區 14、第一資料線驅動電路 16A、第二資料線驅動電路 16B、掃描線驅動電路 18、共通電壓驅動電路 20、時序控制電路 22以及介面電路 24皆以多晶矽薄膜電晶體的形式形成於面板 12上。

多晶矽薄膜電晶體液晶顯示器 10會自外界接收影像訊號，之後此影像訊號會經由介面電路 24傳送多晶矽薄膜電晶體液晶顯示器 10的其他邏輯電路，以使像素區 14顯示出影像訊號中所包含的影像。像素區 14包含有複數個顯像單元，每一顯像單元係用來構成畫面中的一像素 (pixel)或是一次像素 (sub-pixel)，而顯像單元係受到第一資料線驅動電路 16A、第二資料線驅動電路 16B以及掃描線驅動電路 18的驅動。此外，時序控制電路 22係用來產生一時序訊號，其中第一資料線驅動電路 16A、第二資料線驅動電路 16B、掃描線驅動電路 18以及介面電路 24會依據時序控制電路 22所產生的時序訊號來操作。共通電壓驅動電路 20係用來提供一共通電壓，然而，如上所述，因共通電極導線之電阻電容負載，顯示面板上的共通電壓容易發生分佈不均勻的情形。

請參考圖二，圖二為圖一多晶矽薄膜電晶體液晶顯示器 10之共通電壓  $V_{com}$  的時序圖，其中圖二表示了共通



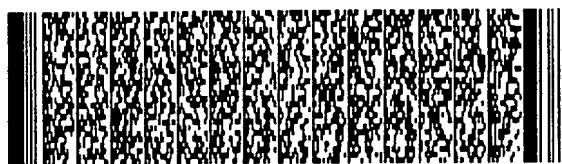
#### 五、發明說明 (4)

電壓  $V_{com}$  於圖一共通電壓驅動電路 20 處、像素區 14 上 A 點及 B 點處的波形。如圖所示，共通電壓  $V_{com}$  為一交流電壓，故其係以擺動 (swing) 的模式被施加于像素區 14 上各顯像單元的共通電極 (common electrode)。然而，因共通電壓驅動電路 20 至 A 點及 B 點的長度不相同，再加上電阻電容效應的影響，A 點及 B 點處的共通電壓  $V_{com}$  相較於共通電壓驅動電路 20 處的共通電壓  $V_{com}$ ，會產生延遲以及衰減的情形，而若延遲以及衰減的情形使得 A 點及 B 點處的共通電壓  $V_{com}$  的相位與波幅差距太大時，多晶矽薄膜電晶體液晶顯示器 10 的畫質即會劣化。

#### 發明內容

因此，本發明的目的即在於提供一種具複數個共通電壓驅動電路之多晶矽薄膜電晶體液晶顯示器，以解決上述的問題。

該多晶矽薄膜電晶體液晶顯示器其包含有一面板、一共通電壓層、複數個顯示單元、複數條掃瞄線、複數條資料線，以及複數個共通電壓驅動電路。掃瞄線與資料線係連接於顯示單元。每一共通電壓驅動電路皆形成於面板內，用來產生一共通電壓，並將該共通電壓施加于該共通電壓層。

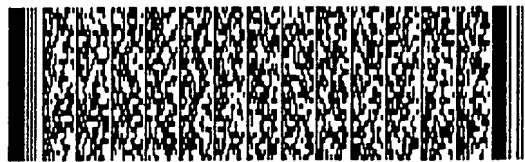


## 五、發明說明 (5)

本發明的優點是其面板上包含有複數個共通電壓驅動電路，設置在其面板上的不同位置，故其所提供的共通電壓得以較均勻地施加于各顯示單元的共通電極，進而使其畫質提升。

### 實施方式

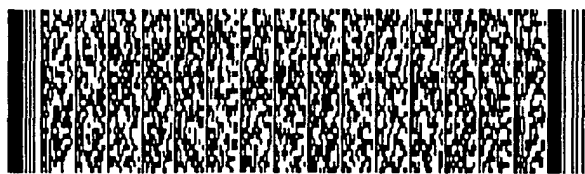
請參考圖三，圖三為本發明多晶矽薄膜電晶體液晶顯示器 50 之示意圖。與習知多晶矽薄膜電晶體液晶顯示器 10 相同的，多晶矽薄膜電晶體液晶顯示器 50 亦包含有一面板 52，而多晶矽薄膜電晶體液晶顯示器 50 相關的驅動電路及介面電路係形成於面板 52 上。多晶矽薄膜電晶體液晶顯示器 50 另包含有一像素區 54、一第一資料線驅動電路 56A、一第二資料線驅動電路 56B、一掃描線驅動電路 58、複數個共通電壓驅動電路 60A~60D、一時序控制電路 62、一介面電路 64 以及一連接元件 66，其中像素區 54、第一資料線驅動電路 56A、第二資料線驅動電路 56B、掃描線驅動電路 58、共通電壓驅動電路 60A~60D、一時序控制電路 62 以及介面電路 64 皆以多晶矽薄膜電晶體的形式形成於面板 52 內，而連接元件 66 則設於面板 52 上。由此可知，多晶矽薄膜電晶體液晶顯示器 50 與習知多晶矽薄膜電晶體液晶顯示器 10 之間的主要不同點在於，多晶矽薄膜電晶體液晶顯示器 50 包含有複數個共通電壓驅動電路 60A~60D，而多晶矽薄膜電晶體液晶顯示器



#### 五、發明說明 (6)

10僅只包含有單一個共通電壓驅動電路 20。多晶矽薄膜電晶體液晶顯示器 50的共通電壓驅動電路 60A~60D皆用來產生一共通電壓  $V_{com}$ ，並將共通電壓  $V_{com}$ 施加于像素區 54上各顯示單元的共通電極 (common electrode)，而對於此一部份，下面將有更詳細的說明。

請參考圖三及圖四，圖四為圖三多晶矽薄膜電晶體液晶顯示器 50之像素區 54的電路圖。多晶矽薄膜電晶體液晶顯示器 50會藉由連接元件 66自外界接收一影像訊號  $S_i$ ，之後影像訊號  $S_i$ 會藉由介面電路 64傳送到多晶矽薄膜電晶體液晶顯示器 50的其他邏輯電路，以使像素區 54顯示出影像訊號  $S_i$ 中所包含的影像。另外，如圖四所示，像素區 54包含有複數個顯像單元 70，每一顯像單元 70係用來構成畫面中的一像素 (pixel)或是一次像素 (sub-pixel)，而每一顯像單元 70包含有一多晶矽薄膜電晶體  $T_r$ 以及一液晶元件 80，液晶元件 80會因多晶矽薄膜電晶體  $T_r$ 的導通狀況而改變其顯像特性。此外，多晶矽薄膜電晶體液晶顯示器 50另包含有複數條掃描線 (scan lines) 72以及複數條資料線 (data lines) 74，而所有的掃描線 72及資料線 74皆連接於顯示單元 70。資料線 74區分為一第一群組 76以及一第二群組 78，其中第一群組 76中的資料線 74連接於第一資料線驅動電路 56A，而第二群組 78中的資料線 74則連接於第二資料線驅動電路 56B並與第一群組 76的資料線 74交錯地排列。如圖四所示，標示

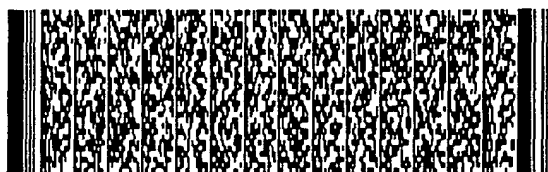


#### 五、發明說明 (7)

為  $DA_m$ 、 $DA_{m+1}$  的資料線 74 屬於第一群組 76，而標示為  $DB_m$ 、 $DB_{m+1}$  的資料線 74 屬於第二群組 78。此外，掃描線 72 係連接於掃描線驅動電路 58，掃描線驅動電路 58 可藉由掃描線 72 來控制多晶矽薄膜電晶體  $Tr$  的導通，而當多晶矽薄膜電晶體  $Tr$  導通時，顯像單元 70 的液晶元件 80 即會因所連接的資料線 74 上的電壓而表現出對應的顯示特性。

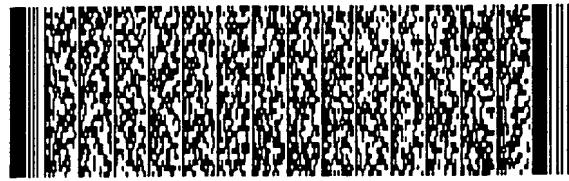
請參考圖四及圖五，圖五為圖三面板 52 之結構圖。面板 52 包含有一上基板 90、一下基板 92，以及一形成於上基板 90 與下基板 92 之間的液晶分子層 94。一共通電壓層 96 係形成於上基板 90 的表面並與液晶分子層 94 貼合，而圖三中的各共通電壓驅動電路 60A~60D 所產生的共通電壓  $V_{com}$  會被施加于共通電壓層 96。此外，每一液晶元件 80 包含有一像素電極 (pixel electrode) 84 以及一連接到共通電壓層 96 的共通電極 (common electrode) 82，而每一多晶矽薄膜電晶體  $Tr$  包含有一電連接至所對應的掃描線 72 之閘極  $G$ 、一電連接至所對應的資料線 74 之源極  $S$ ，以及一電連接至所對應的液晶元件 80 之像素電極 84 的汲極  $D$ 。

如前所述，與習知多晶矽薄膜電晶體液晶顯示器 10 最大的不同點是，多晶矽薄膜電晶體液晶顯示器 50 包含有複數個共通電壓驅動電路 60A~60D，而多晶矽薄膜電晶



##### 五、發明說明 (8)

體液晶顯示器 10 僅只包含有單一個共通電壓驅動電路 20。多晶矽薄膜電晶體液晶顯示器 50 的四個共通電壓驅動電路 60A~60D 在面板 50 上的位置係在像素區 54 的四個角落，故相對於多晶矽薄膜電晶體液晶顯示器 10 的共通電壓驅動電路 20，共通電壓驅動電路 60A~60D 可較均勻地提供的共通電壓  $V_{com}$  于面板 50 上的共通電壓層 96，也因此各液晶元件 80 的共通電極 82 所被施加的共通電壓  $V_{com}$  亦較習知的均勻。請參考圖六，圖六為圖三多晶矽薄膜電晶體液晶顯示器 50 之共通電壓  $V_{com}$  的時序圖，其中圖六表示了共通電壓  $V_{com}$  於圖三共通電壓驅動電路 60A~60D 之、像素區 54 上 A 點及 B 點處的波形。如圖所示，共通電壓  $V_{com}$  為一交流電壓，故其係以擺動 (swing) 的模式被施加于像素區 54 上各液晶元件 80 的共通電極 82。然而，因 A 點及 B 點至其最近的共通電壓驅動電路 60A、60A、60C 或 60D 的長度幾乎相等，雖然其亦會受到電阻電容效應的影響，而使得其共通電壓  $V_{com}$  的波形產生延遲以及衰減的情形，但因其延遲以及衰減的情形相當，故 A 點及 B 點處的共通電壓  $V_{com}$  的波形會相互重疊，也因此多晶矽薄膜電晶體液晶顯示器 50 的畫質會較多晶矽薄膜電晶體液晶顯示器 10 的畫質優異。此外，因像素區 54 內的各顯示單元 70 到其最靠近的共通電壓驅動電路 60A、60A、60C 或 60D 的距離較多晶矽薄膜電晶體液晶顯示器 10 的短，故共通電壓  $V_{com}$  因相位改變所產生的延遲時間亦可縮短，進而使得多晶矽薄膜電晶體液晶顯示器 50 較不易產生訊號





## 五、發明說明 (9)

不同步的情形。

此外，需特別說明的是，多晶矽薄膜電晶體液晶顯示器 50 僅為本發明較佳的實施例之一，而多晶矽薄膜電晶體液晶顯示器所包含的共通電壓驅動電路並不以四個為限，其亦可僅只包含兩個共通電壓驅動電路的方式，或是以其他多個共通電壓驅動電路的方式來實施，而這些實施方式的變化，亦應屬本發明所欲保護之範疇。以多晶矽薄膜電晶體液晶顯示器包含兩個共通電壓驅動電路為例，這兩個共通電壓驅動電路可設置在面板上並與像素區的兩相對的側邊相鄰，而像這樣共通電壓驅動電路對稱地設置於像素區附近的結果，會使得其所產生的共通電壓較均勻地施加在各顯示單元的共通電極上，而使得其畫質提升。

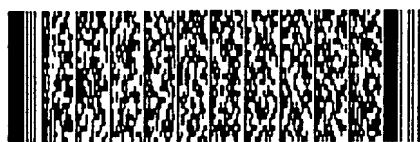
相較於習知的多晶矽薄膜電晶體液晶顯示器，本發明之多晶矽薄膜電晶體液晶顯示器包含有複數個共通電壓驅動電路，設置在其像素區的對稱位置之上，故可提供較均勻的共通電壓予各顯示單元的共通電極上。尤其當多晶矽薄膜電晶體液晶顯示器的共通電壓以擺動

(swing) 的模式在操作時，因像素區內的各顯示單元到其最靠近的共通電壓驅動電路的距離較短，故共通電壓因相位改變所產生的延遲時間亦可縮短，進而使得多晶矽薄膜電晶體液晶顯示器較不易產生訊號不同步的情形。



#### 五、發明說明 (10)

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為習知多晶矽薄膜電晶體液晶顯示器之示意圖。

圖二為圖一多晶矽薄膜電晶體液晶顯示器之共通電壓的時序圖。

圖三為本發明多晶矽薄膜電晶體液晶顯示器之示意圖。

圖四為圖三多晶矽薄膜電晶體液晶顯示器之像素區的電路圖。

圖五為圖三面板之結構圖。

圖六為圖三多晶矽薄膜電晶體液晶顯示器之共通電壓的時序圖。

### 圖式之符號說明

10、50 多晶矽薄膜電晶體液晶顯示器

12、52 面板                      14、54 像素區

16A、56A 資料線驅動電路

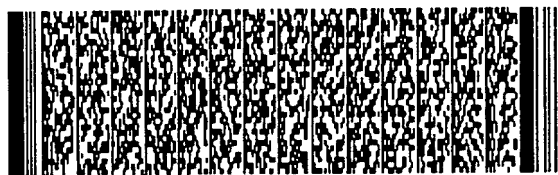
16B、56B 第二資料線驅動電路

18、58 掃瞄線驅動電路

20、60A ~ 60D 共通電壓驅動電路

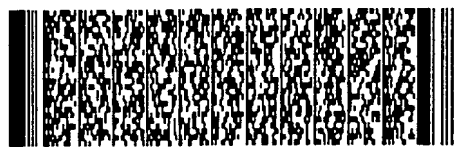
22、62 時序控制電路

24、64 介面電路              66 連接元件



圖式簡單說明

70	顯像單元	72	掃瞄線
74	資料線	76	第一群組
78	第二群組	80	液晶元件
82	共通電極	84	像素電極
90	上基板	92	下基板
94	液晶分子層	96	共通電壓層



#### 六、申請專利範圍

1. 一種多晶矽薄膜電晶體液晶顯示器 (polysilicon Thin Film Transistor Liquid Crystal Display, polysilicon TFT LCD)，其包含有：

一面板；

一共通電壓層，形成於該面板內；

複數個顯示單元，形成於該面板內；

複數條掃描線，形成於該面板內，並連接於該複數個顯示單元；

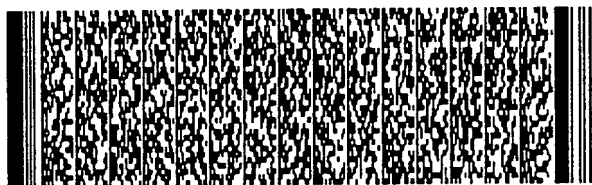
複數條資料線，形成於該面板內，並連接於該複數個顯示單元；以及

複數個共通電壓驅動電路 (common voltage driver)，形成於該面板內，每一共通電壓驅動電路皆用來產生一共通電壓，並將該共通電壓施加于該共通電壓層。

2. 如申請專利範圍第1項之多晶矽薄膜電晶體液晶顯示器，其中該複數個共通電壓驅動電路係由多晶矽薄膜電晶體所構成。

3. 如申請專利範圍第1項之多晶矽薄膜電晶體液晶顯示器，其中該共通電壓為一交流電壓。

4. 如申請專利範圍第1項之多晶矽薄膜電晶體液晶顯示器，其另包含有：



#### 六、申請專利範圍

一 掃描線驅動電路，連接於該複數條掃描線；  
至少一資料線驅動電路，連接於該複數條資料線。  
一時序控制電路，用來產生一時序訊號；  
其中該掃描線驅動電路以及該資料線驅動電路會依據該  
時序訊號來控制該複數個顯示單元之操作。

5. 如申請專利範圍第4項之多晶矽薄膜電晶體液晶顯示器，其中該複數個共通電壓驅動電路、該掃描線驅動電路、該資料線驅動電路以及該時序控制電路係由多晶矽薄膜電晶體所構成。

6. 如申請範圍第1項之多晶矽薄膜電晶體液晶顯示器，其另包含有一介面電路，用來接收與傳遞一影像資料，以使該複數個顯示單元依據該影像資料動作。

7. 如申請範圍第1項之多晶矽薄膜電晶體液晶顯示器，其中每一顯示單元包含有：

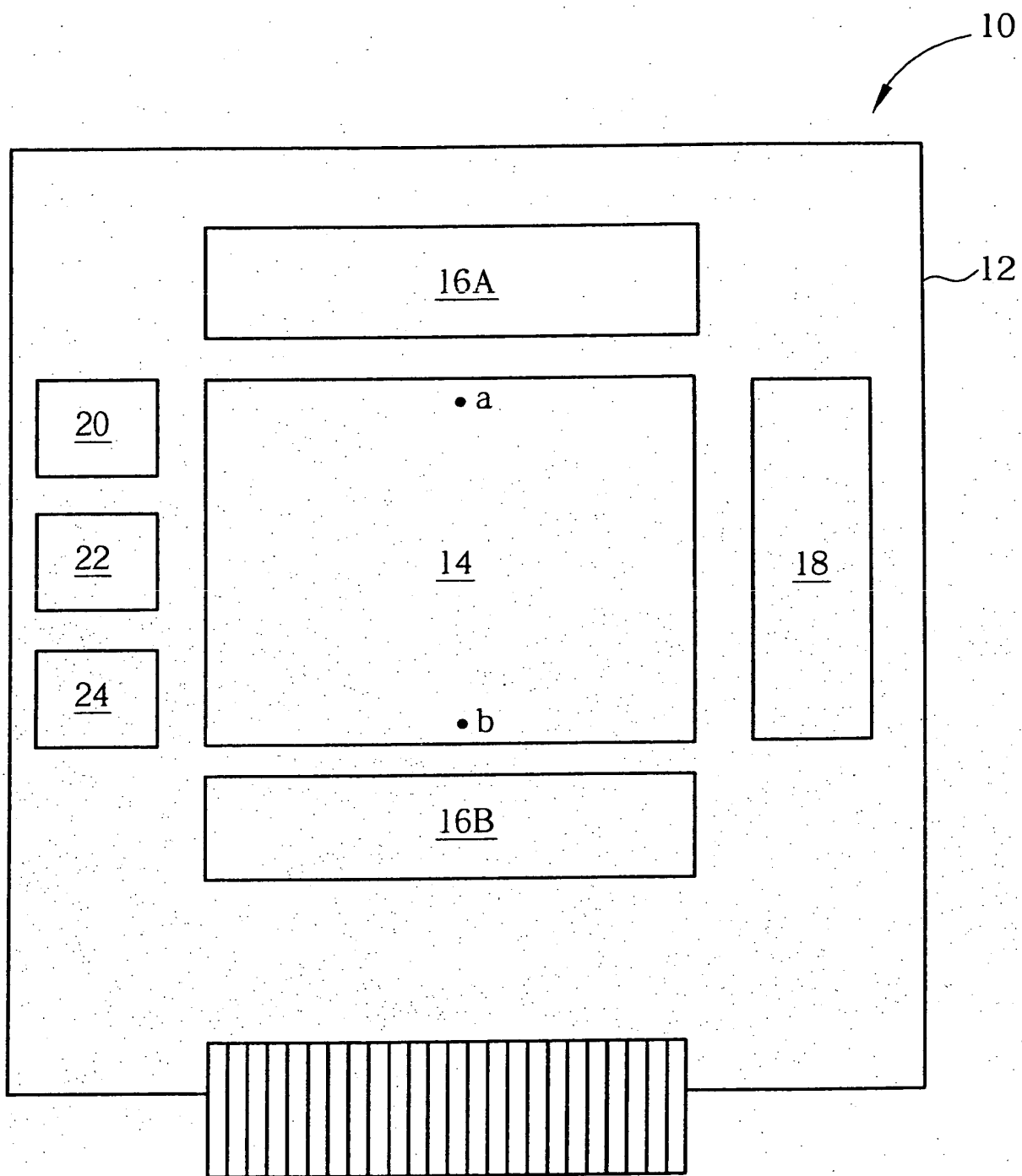
- 一液晶元件，其包含有：
- 一像素電極(pixel electrode)；以及
- 一共通電極(common electrode)，連接於該共通電壓層；以及
- 一多晶矽薄膜電晶體，其包含有：
- 一閘極，電連接至一對應之掃描線；
- 一源極，電連接至一對應之資料線；以及



六、申請專利範圍

一 汲極，電連接至該液晶元件之該像素電極。

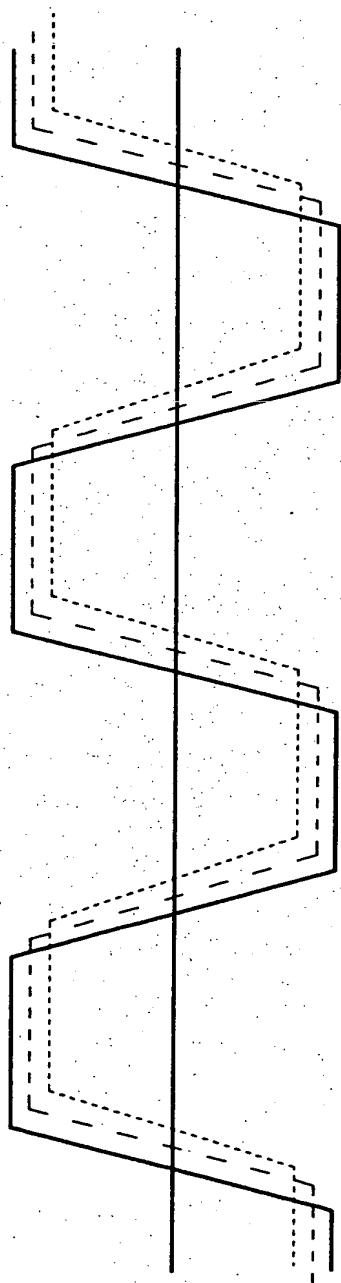




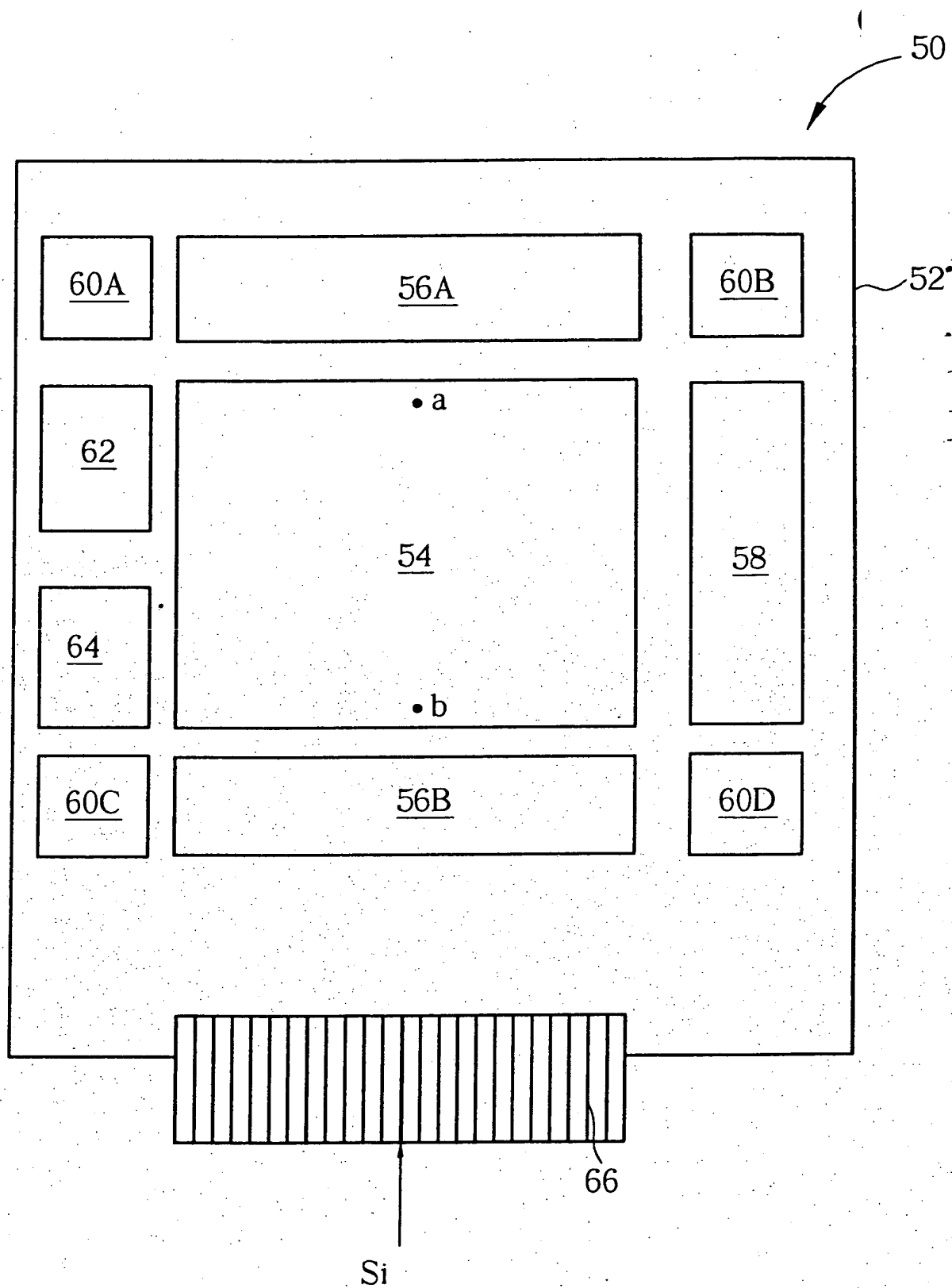
圖一



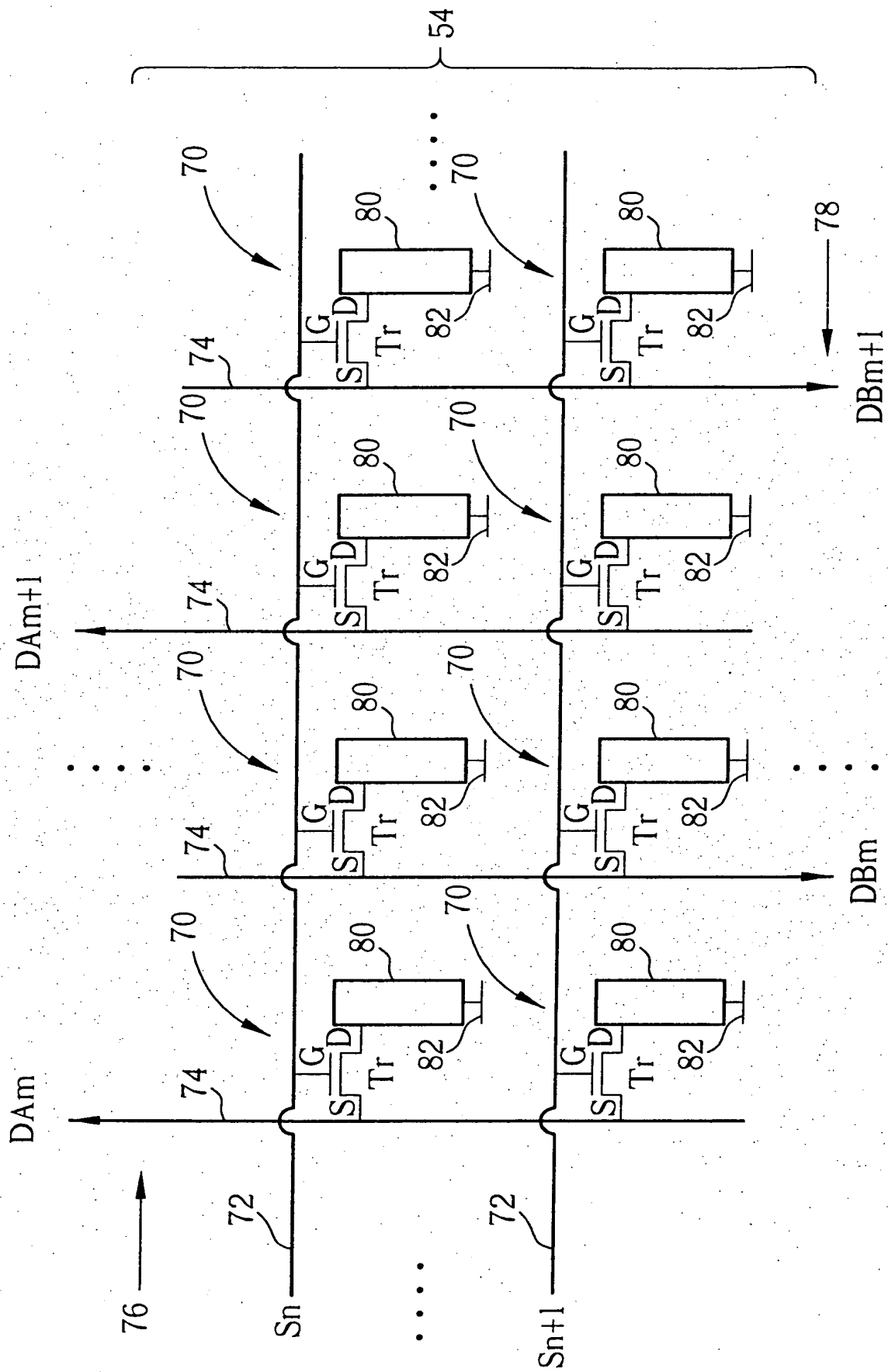
—  $V_{com}$  (20)  
 - -  $V_{com}$  (a)  
 .....  $V_{com}$  (b)



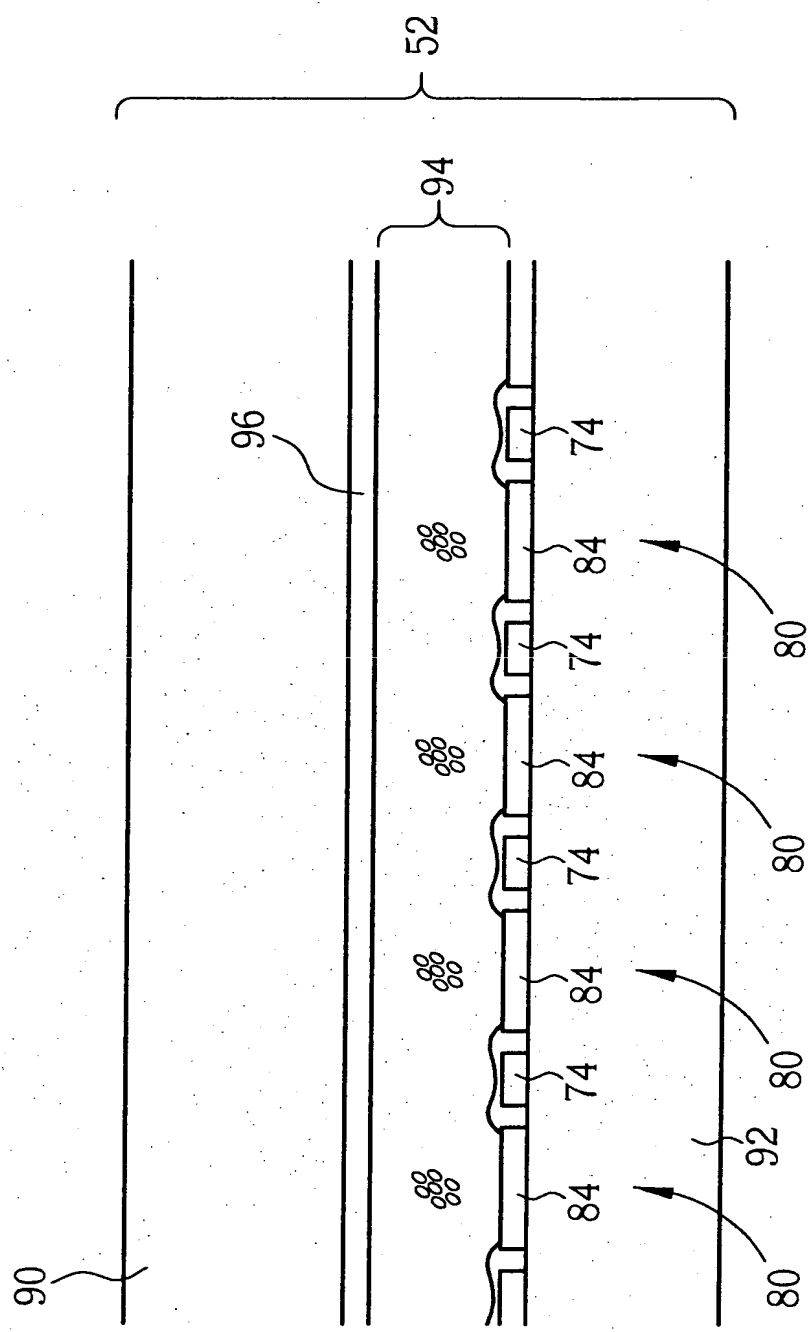
二



圖三

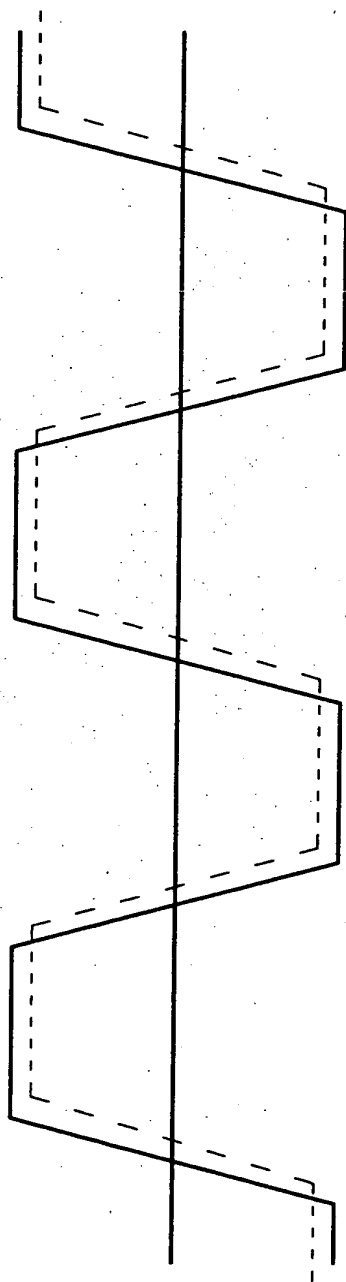


圖四



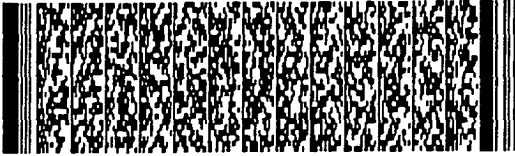
圖五

$\text{---} V_{com} (60A \sim 60D)$   
 $\text{---} V_{com} (a), V_{com} (b)$



水圖

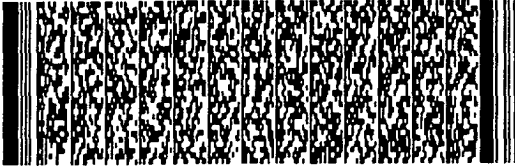
第 1/19 頁



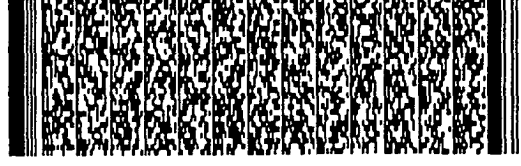
第 1/19 頁



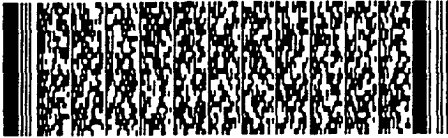
第 2/19 頁



第 2/19 頁



第 3/19 頁



第 4/19 頁



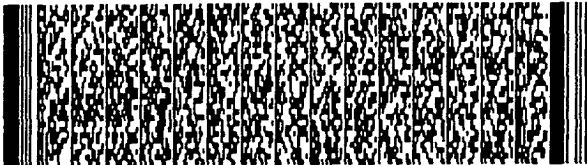
第 5/19 頁



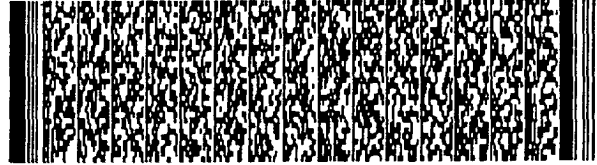
第 5/19 頁



第 6/19 頁



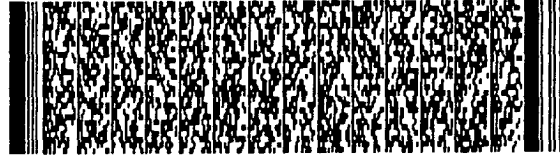
第 6/19 頁



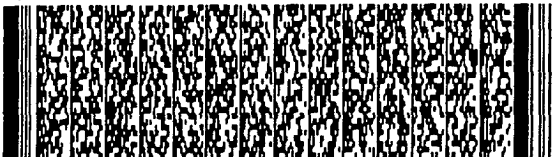
第 7/19 頁



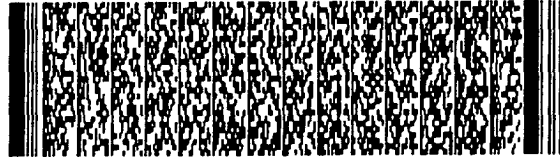
第 7/19 頁



第 8/19 頁



第 8/19 頁



第 9/19 頁



第 9/19 頁



第 10/19 頁



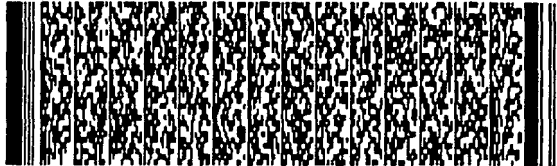
第 10/19 頁



第 11/19 頁



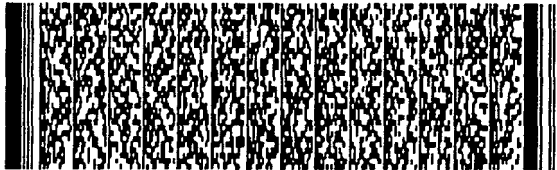
第 11/19 頁



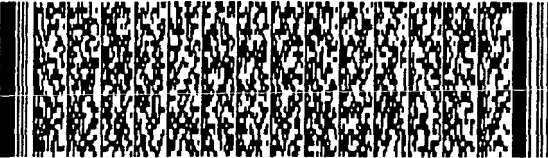
第 12/19 頁



第 12/19 頁



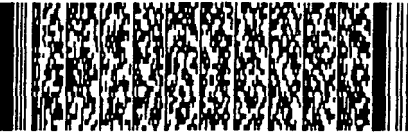
第 13/19 頁



第 13/19 頁



第 14/19 頁



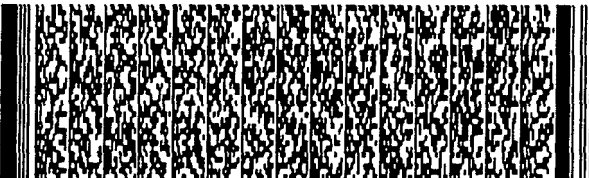
第 15/19 頁



第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

